

Lucrarea 8

Tipuri de interfață ATA

1. Scopul lucrării

Lucrarea prezintă diferite variante ale interfeței ATA pentru unitățile de discuri, punând în evidență îmbunătățirile aduse pe parcurs față de interfața ATA originală. De asemenea, lucrarea descrie adresarea sectoarelor, barierele de capacitate ale unităților de discuri, modurile de transfer, interfața ATA serială, registrele interfeței ATA și lista principalelor comenzi.

2. Considerații teoretice

2.1. Evoluția standardelor ATA

De la introducerea versiunii inițiale a standardului ATA, pe măsura îmbunătățirilor tehnologice incluse în interfețele ATA din industrie, au fost elaborate diferite versiuni ale standardului ATA, care au inclus în specificațiile standardului îmbunătățirile apărute anterior. Fiecare versiune a standardului ATA este compatibilă cu versiunile anterioare. Aceasta înseamnă că o unitate de discuri mai veche poate fi utilizată cu o interfață ATA conformă cu o versiune mai nouă a standardului, fără să se dispună însă de facilitățile suplimentare oferite de versiunea mai nouă. În general, versiunile mai noi ale standardelor ATA pot fi considerate ca extensii ale versiunilor anterioare.

În continuare sunt descrise principalele caracteristici ale diferitelor versiuni ale standardelor ATA.

ATA (ATA-1)

Versiunea inițială a standardului ATA a fost aprobată oficial de institutul *ANSI* în anul 1994, deși prima versiune de lucru a acestui standard a fost publicată în anul 1989, iar interfețe și unități de discuri conforme cu specificațiile acestei versiuni au fost utilizate în industrie încă din anul 1986.

Această versiune, ca și versiunile ulterioare, specifică o conexiune paralelă care provine din magistrala ISA (AT) de 16 biți. Standardul a eliminat diferite probleme de incompatibilitate între primele generații de unități de discuri ATA/IDE, în special atunci când la aceeași interfață ATA au fost conectate două unități de discuri ale unor producători diferiți.

Standardul ATA original definește următoarele caracteristici ale interfeței ATA:

- Conectori cu 40 sau 44 de pini;
- Un singur canal ATA, care poate fi partajat de două unități de discuri, configurate ca o unitate *master* și o unitate *slave*;
- Modurile de transfer programat (PIO – *Programmed Input/Output*) 0, 1 și 2, cu caracteristici de temporizare și rate de transfer diferite;
- Modurile de transfer prin acces direct la memorie (DMA – *Direct Memory Access*) singulare (cu transferuri de un singur cuvânt) 0, 1 și 2;
- Modul de transfer DMA multicuvânt 0;
- Adresare de tip CHS (*Cylinder, Head, Sector*), care specifică numărul cilindrului, al capului și al sectorului.

Versiunea inițială a standardului ATA a fost retrasă oficial în anul 1999. Deși această versiune permitea o capacitate maximă teoretică a unităților de discuri de 128 GB în binar (137 GB în zecimal), standardul nu specifica modul în care se poate elimina bariera de capacitate de 504 MB (528 MB în zecimal) introdusă de interfața de programare INT 13h a sistemului BIOS, deoarece în acel moment nu existau unități de discuri cu capacitatea mai mare de 504 MB.

ATA-2

ATA-2 reprezintă un standard de extensie pentru interfața ATA originală, care a fost elaborat ca urmare a îmbunătățirilor tehnologice ale unităților de discuri și a cererii crescute a capacității de memorare. Publicat în anul 1996, standardul păstrează compatibilitatea cu interfața ATA originală, aducând îmbunătățiri ale acesteia, fără a fi necesare modificări ale unităților instalate sau ale sistemelor software existente.

Principalele îmbunătățiri introduse de standardul ATA-2 sunt următoarele:

- Moduri de transfer PIO mai rapide (modurile PIO 3 și 4);

- Moduri de transfer DMA mai rapide (modurile DMA multicuvânt 1 și 2);
- Comenzi suplimentare care permit transferuri pe blocuri (cuvinte multiple) în scopul creșterii performanțelor;
- Unități de discuri care permit, în mod opțional, adresarea logică pe blocuri (LBA – *Logical Block Addressing*) și interfețe de programare BIOS care realizează translatarea parametrilor CHS, prin care se obține o creștere a capacității adresabile a unităților până la 7,88 GB (8,46 GB în zecimal);
- Comandă *Identify Device* îmbunătățită, care permite unității de discuri să raporteze informații suplimentare, necesare pentru sistemele “*Plug and Play*” și pentru compatibilitatea cu reviziile viitoare ale standardului.

Standardul ATA-2 a fost cunoscut sub diferite denumiri care au reprezentat termeni de marketing ai diferitelor firme, și nu standarde reale. Astfel, firmele *Seagate* și *Quantum* au utilizat denumirile *Fast ATA* și *Fast ATA-2*, care se referă la diferite porțiuni ale standardului ATA-2. De exemplu, *Fast ATA* includea transferul PIO în modul 3 și transferul DMA multicuvânt în modul 1, în timp ce *Fast ATA-2* includea în plus transferul PIO în modul 4 și transferul DMA multicuvânt în modul 2. Ambele variante permiteau transferuri pe blocuri și adresarea logică LBA.

Firma *Western Digital* a utilizat denumirea EIDE (*Enhanced IDE*) pentru extensia pe care a propus-o standardului ATA-2. Principalele îmbunătățiri au fost introducerea unui canal ATA suplimentar, care utilizează o întrerupere diferită și adrese diferite, și posibilitatea conectării unităților de discuri optice sau a unităților de bandă. Dintre modurile de transfer îmbunătățite specificate de standardul ATA-2, EIDE a inclus transferul PIO în modul 3 sau modul 4 și transferul DMA multicuvânt în modul 1.

ATA-3

Standardul ATA-3, publicat în anul 1997, este o revizie minoră a standardului ATA-2. Această revizie nu a definit noi moduri de transfer cu performanțe mai ridicate. Principalele modificări introduse de standardul ATA-3 sunt următoarele:

- Eliminarea protocoalelor pentru transferurile DMA de un singur cuvânt;
- Utilizarea tehnologiei S.M.A.R.T. (*Self-Monitoring, Analysis, and Reporting Technology*) pentru predicția degradării performanței unităților de discuri;
- Adăugarea unui mod care permite protecția datelor înregistrate pe unitățile de discuri printr-o parolă;
- Specificarea modului de adresare LBA ca fiind obligatoriu (acest mod a fost opțional la standardul ATA-2);
- Recomandări pentru terminarea magistralei la sursă și la destinație în scopul creșterii fiabilității la modurile de transfer cu viteze ridicate.

Tehnologia S.M.A.R.T., dezvoltată inițial de firma *IBM*, permite sistemului de operare să monitorizeze parametrii de funcționare ai unei unități de discuri în scopul detectării unor degradări ale performanței acesteia. Această degradare se poate accentua în mod progresiv, conducând în final la o defectare a unității și la pierderea datelor înregistrate. Prin utilizarea acestei tehnologii este posibilă predicția defectării unității și salvarea din timp a datelor. Tehnologia S.M.A.R.T. nu permite însă predicția defectării subite a unei unități de discuri.

ATA/ATAPI-4

Publicat în anul 1998, standardul ATA/ATAPI-4 a introdus modificări importante ale versiunii anterioare ATA-3. În primul rând, a fost adăugat un protocol pentru o comandă care permite comunicația cu periferice cum sunt unități de discuri optice și unități de bandă magnetică conectate la un canal ATA. Această comandă este numită PACKET, iar protocolul utilizat pentru transmiterea comenzilor specifice unităților de discuri optice și unităților de bandă magnetică este numit ATAPI (*ATA Packet Interface*). Conectarea acestor tipuri de periferice la interfața ATA a fost posibilă și înaintea versiunii ATA/ATAPI-4 a standardului, dar ATAPI era un standard publicat separat. Setul de comenzi recunoscut de perifericele ATAPI este diferit de cel utilizat de interfața ATA, fiind derivat din setul de comenzi al interfeței SCSI. Motivul este că setul de comenzi și de registre ATA nu este adecvat pentru unele comenzi specifice unităților optice și unităților de bandă.

A doua modificare importantă introdusă de standardul ATA/ATAPI-4 a fost introducerea unui nou protocol de transfer numit Ultra-ATA sau Ultra-DMA (UDMA), la care transferul datelor are loc la ambele fronturi ale semnalului de ceas. Există mai multe moduri de transfer Ultra-DMA, specificațiile ATA/ATAPI-4 incluzând modurile 0, 1 și 2. De exemplu, modul 2 Ultra-DMA permite o rată maximă de transfer de 33,3 MB/s, motiv pentru care acest mod este numit și Ultra-ATA/33 sau UDMA/33. Posibilitatea utilizării unui anumit mod de transfer este condiționată de unitatea de discuri, de setul de circuite de pe placa de bază și de sistemul de operare sau de BIOS.

Principalele îmbunătățiri introduse de standardul ATA/ATAPI-4 sunt următoarele:

- Includerea comenzii *Packet* și a protocolului corespunzător pentru transmiterea comenzilor ATAPI;
- Adăugarea protocolului Ultra-ATA și a modurilor 0, 1 și 2 care utilizează acest protocol, ratele maxime de transfer ajungând la 33,3 MB/s;
- Creșterea integrității datelor prin utilizarea unui cod ciclic redundant CRC;
- Definierea unui cablu opțional cu 80 de fire (dintre care 40 de fire sunt de masă), care permite creșterea imunității la zgomote;
- Posibilitatea utilizării unui adaptor *Compact Flash* pentru calculatoarele portabile;
- Posibilitatea suprapunerii comenzilor (o nouă comandă poate fi transmisă înainte de terminarea execuției comenzilor precedente) prin implementarea de către perifericele ATA și ATAPI a unor cozi pentru memorarea comenzilor.

2.2. Adresarea sectoarelor

Există două metode principale pentru adresarea sectoarelor unei unități de discuri ATA. Prima metodă este adresarea CHS, la care, pentru adresarea unui sector, se specifică trei componente: numărul cilindrului (pistei), numărul capului de citire/scriere și numărul sectorului de pe pistă. A doua metodă este adresarea LBA, la care se indică o singură adresă logică specifică sectorului care trebuie adresat. Începând cu versiunea ATA/ATAPI-6 a interfeței ATA, unitățile de discuri trebuie să utilizeze modul de adresare LBA.

Este important de menționat că atât adresele CHS, cât și adresele LBA, reprezintă adrese logice ale sectoarelor. Unitatea de discuri va realiza conversia adresei logice într-o adresă fizică printr-o operație de *translatare*, care este specifică unității.

Adresarea CHS a fost concepută pe baza parametrilor fizici ai unității de discuri, deși o adresă CHS reprezintă o adresă logică a unui sector. O asemenea adresă este formată din trei câmpuri:

numărul cilindrului, numărul capului și numărul sectorului. Cilindrii sunt numerotați de la 0 până la valoarea maximă permisă de modul de translatare curent, dar numărul maxim nu poate depăși 65.535. Capetele sunt numerotate de la 0 la valoarea maximă permisă de modul de translatare curent, dar valoarea maximă nu poate depăși 15. Sectoarele sunt numerotate de la 1 la valoarea maximă permisă de modul de translatare curent, dar valoarea maximă nu poate depăși 255. Aceste valori maxime au fost alese oarecum arbitrar în momentul elaborării metodei de adresare CHS, considerând că ele sunt suficiente pentru unitățile de discuri din acel moment și pentru cele din generațiile următoare.

La citirea secvențială a datelor de pe disc în modul CHS, procesul începe cu cilindrul 0, capul 0 și sectorul 1. În continuare sunt citite toate celelalte sectoare de pe această pistă, după care este selectat capul 1 și se citesc toate sectoarele de pe pista corespunzătoare capului selectat. Se continuă cu citirea de pe cilindrul 0, selectându-se celelalte capete, până la ultimul. Apoi se selectează următorul cilindru și procesul se repetă.

În cazul adresării LBA, fiecărui sector de pe disc i se asignează o adresă logică unică.

Sectoarele logice ale unității sunt alocate liniar, primul sector adresat în modul LBA (sectorul 0) fiind același ca primul sector logic adresat în modul CHS (cilindru 0, cap 0, sector 1). Alocarea se continuă până la ultimul sector fizic. Indiferent de modul de translatare CHS curent, adresa LBA a unui sector logic dat nu se modifică. Se poate scrie următoarea ecuație pentru conversia parametrilor CHS într-o adresă LBA:

$$LBA = ((C \times \text{capete_pe_cilindru} + H) \times \text{sectoare_pe_pistă}) + S - 1$$

unde C , H , S reprezintă numărul cilindrului, al capului, respectiv al sectorului, iar *capete_pe_cilindru* și *sectoare_pe_pistă* reprezintă valorile pentru modul de translatare curent.

2.4. Moduri de transfer

Specificațiile interfeței ATA definesc două categorii de transferuri: transferuri programate (PIO – *Programmed Input/Output*) și transferuri prin acces direct la memorie (DMA – *Direct Memory Access*). Pentru fiecare categorie, sunt definite mai multe moduri de transfer, fiecare mod fiind caracterizat printr-o anumită durată a ciclurilor de citire și scriere. Aceste durate determină ratele maxime de transfer care pot fi obținute.

2.4.1. Moduri de transfer PIO

Modurile de transfer PIO sunt mai puțin eficiente, deoarece pentru fiecare cuvânt transferat procesorul trebuie să execute o secvență de program. Există cinci moduri de transfer PIO, numerotate de la 0 la 4. Din punctul de vedere al protocolului utilizat, există două tipuri de transferuri PIO: fără confirmare și cu confirmare.

În cazul transferurilor PIO *fără confirmare*, interfața ATA nu are confirmarea faptului că procesorul calculatorului poate accepta datele de la unitatea de discuri. Pentru a minimiza riscul pierderii datelor în cazul în care procesorul este ocupat cu alte activități în timpul transferului unui bloc de date, aceste transferuri se execută cu o viteză redusă, indiferent de posibilitățile calculatorului

în ceea ce privește preluarea datelor. Modurile PIO 0, 1 și 2 utilizează transferuri fără confirmare.

În cazul transferurilor PIO *cu confirmare*, se utilizează semnalul de control *IRDY* al interfeței. Dacă este necesar, unitatea de discuri poate activa acest semnal pentru a extinde durata unui ciclu de transfer și pentru a întârzia interfața. Fără utilizarea acestui semnal, transferul poate fi incorrect în modurile PIO rapide. Modurile PIO 3 și 4 utilizează transferuri cu confirmare.

În modul de transfer PIO cel mai lent, modul 0, durata unui ciclu nu poate depăși 600 ns.

Într-un singur ciclu se transferă 16 biți. Deci, într-o secundă se transferă $2/600 \times 10^9$ octeți, rata de transfer maximă teoretică fiind de 3,33 MB/s. În Tabelul 8.7 se prezintă modurile PIO și ratele maxime de transfer permise de acestea.

Tabelul 8.7. Modurile de transfer PIO ale interfeței ATA.

Mod	Durata ciclului (ns)	Rata de transfer (MB/s)	Standard
PIO 0	600	3,33	ATA
PIO 1	383	5,22	ATA
PIO 2	240	8,33	ATA
PIO 3	180	11,11	ATA-2, IRDY necesar
PIO 4	120	16,67	ATA-2, IRDY necesar

Primele trei moduri (0, 1 și 2) sunt prezente și în standardul ATA inițial (ATA-1). Modurile PIO 3 și 4 sunt specifice standardului ATA-2 și următoarelor. Aceste moduri utilizează semnalul *IRDY* pentru controlul transferului.

Pentru creșterea eficienței, se utilizează transferuri PIO pe blocuri, care sunt lansate prin comenzile *Read/Write Multiple*. Prin utilizarea acestor comenzi, se reduce numărul întreruperilor generate către calculatorul gazdă.

La interogarea sa prin comanda *Identify Device*, controlerul unității de discuri returnează și informații despre modurile PIO și DMA pe care le poate utiliza. Astfel, biții 7..0 ai cuvântului 64 indică modurile PIO avansate care pot fi utilizate. Dacă bitul 0 al acestui cuvânt este setat, unitatea permite utilizarea modului 3, iar dacă bitul 1 este setat, unitatea permite utilizarea modului 4. Biții 7..2 sunt rezervați pentru modurile PIO viitoare.

2.4.2. Moduri de transfer DMA

Transferurile de date care sunt lansate prin comenzi DMA, cum sunt *Read DMA* și *Write DMA*, diferă de transferurile PIO prin două aspecte:

- Transferurile de date se efectuează printr-un canal DMA;
- Se generează o singură întrerupere la terminarea comenzii.

Transferurile executate prin acces direct la memorie sunt mult mai eficiente decât transferurile PIO, deoarece procesorul este eliberat de sarcina execuției unei secvențe de program pentru fiecare cuvânt

transferat. În plus, procesorul poate executa alte operații în timp ce datele sunt transferate direct între unitatea de discuri și memoria principală.

Interfața ATA permite două tipuri de transferuri DMA: de un singur cuvânt și de cuvinte multiple (multicuvânt). În cazul transferurilor de un singur cuvânt, calculatorul inițiază un transfer, selectează cuvântul care trebuie transferat, după care controlerul unității transferă cuvântul respectiv. Operațiile trebuie repetate pentru fiecare din cuvintele următoare. Aceste transferuri au o eficiență redusă, motiv pentru care nu mai sunt utilizate la interfețele ATA actuale.

Modurile de transfer DMA de un singur cuvânt sunt prezentate în Tabelul 8.8.

Tabelul 8.8. Modurile de transfer DMA de un singur cuvânt ale interfeței ATA.

Mod	Durata ciclului (ns)	Rata de transfer (MB/s)	Standard
DMA multicuvânt 0	480	4,17	ATA
DMA multicuvânt 1	150	13,33	ATA-2
DMA multicuvânt 2	120	16,67	ATA-2

Din punctul de vedere al controlului operațiilor de transfer, există două tipuri de transferuri DMA: obișnuite și de tip “*bus mastering*”. Transferurile obișnuite sunt executate de controlerul DMA al sistemului. Transferurile DMA ale interfeței ATA sunt de tip “*bus mastering*”, fiind executate de logica acestei interfețe, care preia controlul asupra magistralei și execută transferul.

Cuvântul 63 din blocul de date returnat de comanda *Identify Device* indică modurile DMA multicuvânt care sunt permise de unitatea de discuri și modul care este selectat. Biții 0, 1 și 2 ai acestui

cuvânt indică prin valoarea 1 dacă este permis modul 0, modul 1, respectiv modul 2. Biții 8, 9 și 10 ai cuvântului 63 indică prin valoarea 1 dacă este selectat modul 0, modul 1, respectiv modul 2.

Începând cu versiunea ATA/ATAPI-4 a standardului ATA, au fost introduse moduri de transfer DMA mai performante, numite Ultra-DMA sau Ultra-ATA. La aceste moduri, datele sunt transferate la ambele fronturi (crescător și descrescător) ale semnalului de ceas utilizat pentru controlul magistralei de date, astfel că rata de transfer se dublează. În plus, la variantele mai performante ale

Sisteme de I/E – Lucrarea de laborator Nr. 8 13
modurilor Ultra-DMA, frecvența semnalului de ceas este mai ridicată comparativ cu cea de la modurile DMA multicuvânt.

Pentru creșterea fiabilității transferurilor în modurile Ultra-DMA, se utilizează transferuri sincrone în locul celor asincrone. Echipamentul care transmite datele (calculatorul la scriere, unitatea de discuri la citire) generează semnalul de ceas și sincronizează transferul datelor cu semnalul de ceas. Deoarece un singur echipament controlează atât semnalul de ceas, cât și liniile de date, sincronizarea transferurilor este mai precisă.

Modurile Ultra-DMA care au fost introduse de diferitele versiuni ale standardelor ATA sunt prezentate în Tabelul 8.10.

Tabelul 8.10. Modurile de transfer Ultra-DMA ale interfeței ATA.

Mod	Durata ciclului (ns)	Rata de transfer (MB/s)	Standard
Ultra-DMA 0	240	16,67	ATA/ATAPI-4
Ultra-DMA 1	160	25	ATA/ATAPI-4
Ultra-DMA 2	120	33,33	ATA/ATAPI-4
Ultra-DMA 3	90	44,44	ATA/ATAPI-5
Ultra-DMA 4	60	66,67	ATA/ATAPI-5
Ultra-DMA 5	40	100	ATA/ATAPI-6
Ultra-DMA 6	30	133	ATA/ATAPI-7

Cuvântul 88 din blocul de date returnat de comanda *Identify Device* indică modurile Ultra-DMA care sunt permise de unitatea de discuri și modul care este selectat. Biții 0..6 ai acestui cuvânt indică prin valoarea 1 dacă este permis modul cu numărul corespunzător poziției bitului respectiv (modul 0 pentru bitul 0, până la modul 6 pentru bitul 6). Biții 8..14 ai cuvântului 88 indică

prin valoarea 1 dacă este selectat modul cu numărul corespunzător poziției bitului respectiv minus 8 (modul 0 pentru bitul 8, până la modul 6 pentru bitul 14).

2.5. Interfața ATA serială

De la publicarea primei versiuni de lucru a standardului ATA în anul 1989, interfața ATA a fost îmbunătățită în mod continuu, astfel încât viteza acesteia a crescut de peste 25 de ori față de viteza versiunii inițiale. Rata de transfer susținută a unităților de discuri actuale (60-80 MB/s) este cu mult mai redusă decât rata de transfer a ultimelor versiuni ale interfeței ATA (100 sau 133 MB/s). Cu toate acestea, continuarea îmbunătățirii performanțelor interfeței ATA paralele este dificilă, din cauza problemelor specifice unei interfețe paralele, cum sunt interferența electromagnetică între semnale sau dificultatea sincronizării semnalelor. Soluția la aceste probleme constă în utilizarea unei interfețe seriale, a căror performanțe pot fi îmbunătățite într-un mod mult mai simplu prin creșterea frecvenței semnalului de ceas.

În anul 2000, firma *Intel* și mai multe firme producătoare de unități de discuri (*APT Technologies, Dell, IBM, Maxtor, Quantum și Seagate Technology*) au început elaborarea unei interfețe ATA seriale, denumită *Serial ATA (SATA)*. Pentru elaborarea specificațiilor acestei interfețe, a fost format un grup de lucru numit *Serial ATA Working Group*. Prima versiune (1.0) a specificațiilor SATA a fost publicată în anul 2001. Pentru îmbunătățirea acestor specificații, în anul 2002 a fost format grupul de lucru *Serial ATA II Working Group*, care a elaborat versiunea 2.0 a specificațiilor SATA. Ulterior, pentru actualizarea specificațiilor SATA și pentru promovarea acestei interfețe a fost formată o nouă asociație industrială, numită *Serial ATA International Organization (SATA-IO)*. Informații despre activitatea acestei asociații sunt disponibile la adresa <http://www.sata-io.org>. Versiunea curentă (în anul 2005) a specificațiilor SATA este 2.5.

Deși interfața ATA serială diferă fizic de interfața ATA paralelă prin cablul și conectorul utilizat, cele două interfețe sunt compatibile din punct de vedere software între ele. Astfel, sistemele BIOS, sistemele de operare și programele existente care utilizează interfața ATA paralelă pot fi utilizate fără modificări cu interfața ATA serială. De asemenea, această interfață permite conectarea echipamentelor periferice ATA și ATAPI existente, inclusiv a unităților CD-ROM, CD-RW, DVD, a unităților de bandă și a altor echipamente care pot fi conectate la interfața ATA paralelă. Prima unitate de discuri cu o interfață SATA a fost prezentată de firma *Seagate Technology* la mijlocul anului 2002. În timp ce interfața ATA paralelă transferă datele printr-un canal de 16 biți, interfața ATA serială utilizează doar două canale seriale unidireționale, unul pentru transmisie și unul pentru recepție. Deși datele sunt transmise serial bit cu bit, frecvența semnalului de ceas utilizat pentru transfer este mult mai ridicată decât cea a interfeței ATA paralele. De exemplu, în cazul modului de transfer UDMA/133 al interfeței ATA paralele, frecvența semnalului de ceas este de 33 MHz, fiind transferate două cuvinte (patru octeți) în fiecare ciclu de ceas, de unde rezultă o rată maximă de transfer de 133 MB/s. În cazul primei versiuni a interfeței SATA, frecvența semnalului de ceas este de 1500 MHz (1,5 GHz). Deoarece un octet este codificat prin 10 biți, rata de transfer corespunzătoare acestei frecvențe este de 150 MB/s, cu 12% mai ridicată față de cea a ultimei versiuni a interfeței ATA paralele. În timp ce este puțin probabilă dublarea ratei de transfer a interfeței ATA paralele în viitorul apropiat, rata de transfer a interfeței SATA a fost dublată deja, în prezent (anul 2005) această interfață fiind disponibilă cu o frecvență a semnalului de ceas de 3 GHz și o rată de transfer maximă de 300 MB/s. Este de așteptat ca această rată de transfer să fie dublată din nou în viitorul apropiat.

Tabelul 8.11 prezintă tipurile de interfețe SATA care sunt specificate în versiunea 2.0 a standardului acestei interfețe. Se menționează că în prezent (anul 2005) interfața SATA-600 nu este disponibilă încă.

Tabelul 8.11. Tipuri de interfețe SATA.

Tip interfață	Frecvența (MHz)	Rata de transfer (MB/s)
SATA-150	1.500	150
SATA-300	3.000	300
SATA-600	6.000	600

La interfața SATA, biții de date se reprezintă pe linia de transmisie prin codificarea “fără revenire la zero” (NRZ – *Non Return to Zero*). Prin această codificare, un bit se reprezintă printr-o schimbare a tensiunii electrice a liniei, și nu printr-un anumit nivel al tensiunii. Se utilizează două nivele de

tensiune, iar pentru fiecare bit din șirul de date va exista o tranziție de la nivelul actual al tensiunii la celălalt nivel. Nivelul tensiunii rămâne apoi neschimbat până la începutul următorului bit, fără să revină la nivelul zero.

Interfața SATA utilizează codificarea 8B/10B pentru datele transmise pe linia serială, prin care fiecare octet de date se reprezintă printr-o anumită combinație de 10 biți. Această codificare a fost elaborată inițial de firma *IBM* la începutul anilor 1980 pentru comunicațiile de date de viteză ridicată.

Aceeași codificare este utilizată de numeroase interfețe performante de comunicație serială, cum sunt *Gigabit Ethernet*, *Fibre Channel*, *IEEE 1394* și altele. Unul din scopurile codificării 8B/10B este de a asigura să nu existe mai mult de patru biți de 0 (sau de 1) transmiși consecutiv. Aceasta este de fapt o formă a codificării RLL (*Run Length Limited*), care a fost prezentată în *Lucrarea de laborator Nr.7*, și anume RLL 0,4, unde 0 reprezintă numărul minim, iar 4 reprezintă numărul maxim de biți consecutivi identici din fiecare octet codificat.

De asemenea, prin codificarea 8B/10B se asigură să nu existe mai mult de șase și mai puțin de patru biți de 0 (sau de 1) într-un singur octet codificat. Deoarece biții de 0 și de 1 sunt reprezentați pe linia de transmisie prin modificarea tensiunii electrice de pe linie, prin constrângerea anterioară se asigură ca distanțele între tranzițiile tensiunii de pe linie să fie echilibrate. Se obține astfel o încărcare mai echilibrată a circuitelor, efectul fiind creșterea fiabilității.

Semnalele sunt transmise pe două perechi de linii, în mod diferențial. Una din perechi reprezintă canalul de transmisie, iar cealaltă pereche reprezintă canalul de recepție. Se utilizează nivele reduse de tensiune, de 0,25 V. Semnalele unui canal sunt diferențiale în sensul că, dacă pe una din liniile canalului nivelul tensiunii este de 0,25 V, pe cealaltă linie a canalului tensiunea este de -0,25V.

În orice moment, tensiunile de pe cele două linii ale unui canal sunt opuse, iar diferența de tensiune între cele două linii este de 0,5 V. Această diferență de tensiune nu este influențată de zgomote sau alte perturbații externe, ceea ce reprezintă un avantaj important al transmisiei diferențiale.

Interfața SATA utilizează o conexiune punct la punct. Deci, spre deosebire de interfața ATA paralelă, la fiecare port SATA se conectează un singur echipament. Astfel, nu vor exista două echipamente înlanțuite și nu vor fi necesare setări pentru desemnarea echipamentului *master* și al celui *slave*. Pentru conectarea mai multor echipamente, sunt necesare porturi SATA multiple. De obicei, plăcile de bază sunt echipate cu patru porturi SATA, două primare și două secundare.

Cablul interfeței SATA conține doar șapte fire. Conectorul are dimensiuni reduse, lățimea acestuia fiind de 14 mm. Se utilizează același tip de conector la ambele capete ale cablului. Este necesar un cablu separat pentru conectarea fiecărui echipament la placa de bază. Lungimea maximă a cablului este de 1 m, spre deosebire de cablul interfeței ATA paralele, la care lungimea maximă este de numai 0,45 m. Figura 8.2 ilustrează conectorii interfețelor ATA și SATA.

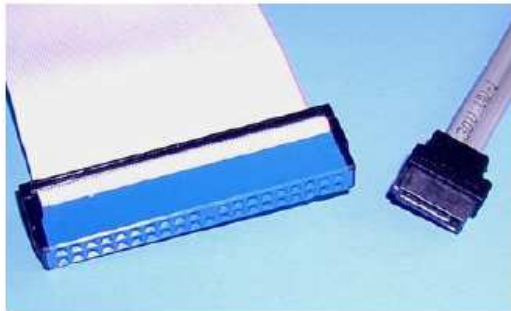


Figura 8.2. Conectorii interfețelor ATA și SATA.

Pin	Semnal	Descriere
S1	GND	Masă
S2	A+	Transmisie calculator +
S3	A-	Transmisie calculator -
S4	GND	Masă
S5	B-	Recepție calculator -
S6	B+	Recepție calculator +
S7	GND	Masă

Tabelul 8.12. Pini conectorului interfeței SATA.

Tabelul 8.12 prezintă semnalele interfeței SATA și asignarea acestora la pini conectorului.

Toți pini de masă au o lungime mai mare față de ceilalți pini, astfel încât vor asigura stabilirea contactului înaintea pinilor de semnal. Aceasta permite conectarea și deconectarea unităților de discuri SATA fără oprirea calculatorului.

Pentru conectarea tensiunilor de alimentare la un echipament SATA, se utilizează un conector cu 5 pini, dintre care doi pini sunt de masă, iar ceilalți sunt prevăzuți pentru tensiunile de +5 V, +12 V și +3,3 V. În mod opțional, se poate utiliza un conector de alimentare cu 15 pini, care conține câte trei pini pentru fiecare din cele trei tensiuni de alimentare. Acest conector asigură un curent maxim de 4,5 A pentru fiecare tensiune de alimentare.

Principalele avantaje ale interfeței SATA sunt viteza ridicată, dimensiunile reduse ale conectorilor și cablului, lungimea mai mare a cablului, posibilitatea conectării și deconectării în timpul funcționării și compatibilitatea la nivel software cu interfața ATA paralelă. În plus, standardele SATA descriu posibilitatea conectării mai multor echipamente la același port SATA prin utilizarea unui multiplicator de port. În acest fel, se simplifică interconexiunile și se utilizează mai eficient porturile SATA de pe placa de bază, care pot asigura o rată de transfer suficientă pentru mai multe echipamente.

De asemenea, este posibilă realizarea unor sisteme mai complexe de memorare, cum sunt matricile de discuri RAID (*Redundant Array of Independent Disks*), în special dacă există o magistrală PCI-X care să asigure rata de transfer necesară. Datorită acestor avantaje, este de așteptat ca interfața SATA să înlocuiască treptat interfața ATA paralelă.

2.6. Registrele interfeței ATA

Comunicația cu controlerul unităților de discuri se realizează prin registre de I/E. Spre deosebire de interfețele tradiționale, la care numai controlerul selectat recepționează comenzi de la calculator, în cazul interfeței ATA conținutul registrelor se transmite ambelor unități și controlerelor încorporate. Calculatorul realizează distincția dintre cele două unități prin bitul DEV din registrul de selecție al dispozitivului. Dacă bitul DEV este 0, este selectată unitatea 0 (*master*), iar în caz contrar este selectată unitatea 1 (*slave*). Dacă există o singură unitate, aceasta trebuie configurată ca *master*.

Datele sunt transferate în paralel (pe 16 biți) între memoria calculatorului și bufferul unității de discuri sub acțiunea comenzilor transmise în prealabil de la calculator. Datele citite de pe support sunt memorate în bufferul unității, urmând a fi transferate calculatorului, iar datele transferate din memoria calculatorului sunt memorate în bufferul unității, urmând a fi scrise pe suport. Dacă două unități sunt în lanțuite, comenzile sunt transmise ambelor unități și, cu excepția comenzii de diagnosticare, numai unitatea selectată va executa comanda.

În Tabelul 8.13 se prezintă registrele interfeței ATA și adresele acestora pentru interfața ATA primară.

Tabelul 8.13. Registrele interfeței ATA și adresele acestora pentru interfața ATA primară.

Selecție					Adresa	Funcție	
-CS1	-CS0	DA2	DA1	DA0		Citire	Scrisoare
Registre bloc de comandă							
1	0	0	0	0	1F0h	Registru de date (16 biți)	
1	0	0	0	1	1F1h	Eroare	Setare caracteristici
1	0	0	1	0	1F2h	Contor de sectoare	
1	0	0	1	1	1F3h	Adresă LBA inferioară * Număr sector	
1	0	1	0	0	1F4h	Adresă LBA mijlocie * Număr cilindru (cmgs)	
1	0	1	0	1	1F5h	Adresă LBA superioară * Număr cilindru (cms)	
1	0	1	1	0	1F6h	Selecție dispozitiv	
1	0	1	1	1	1F7h	Stare dispozitiv	Comandă
Registre bloc de control							
0	1	1	1	0	3F6h	Stare alternativă	Control dispozitiv

* Funcția registrelor în modul de adresare CHS (definit până la versiunea ATA/ATAPI-5 inclusiv).

Într-un sistem există de obicei mai multe interfețe ATA. În Tabelul 8.14 se prezintă adresele pentru patru asemenea interfețe. Dintre acestea, numai primele două se utilizează pe scară largă.

Pentru interfața a doua, întreruperea cea mai utilizată este IRQ 15.

Tabelul 8.14. Adresele și numerele întreruperilor pentru interfețele ATA.

Nr. interfață	Decodificare CS0	Decodificare CS1	IRQ
1	1F0h - 1F7h	3F6h - 3F7h	14
2	170h - 177h	376h - 377h	15 sau 10
3	1E8h - 1EFh	3EEh - 3EFh	12 sau 11
4	168h - 16Fh	36Eh - 36Fh	10 sau 9

Atunci când interfața ATA implementează adresarea LBA pe 48 de biți, definită începând cu versiunea ATA/ATAPI-6 a standardului ATA, următoarele registre funcționează ca memorii FIFO de câte doi octeți: registrul pentru setarea caracteristicilor, registrul contor de sectoare și registrele de adresă LBA (inferioară, mijlocie și superioară). La fiecare scriere într-unul din aceste registre, noul conținut înscris este plasat în locația “înscrisă recent”, iar conținutul anterior este mutat în locația “conținutului precedent”. De exemplu, atunci când în registrul de comandă se înscrie codul unei comenzi care utilizează adresarea LBA pe 48 de biți, cum este comanda *Read Sector(s) Ext*, adresa utilizată de comanda respectivă și contorul de sectoare sunt indicate în Tabelul 8.15.

Tabelul 8.15. Adresa LBA și contorul de sectoare în cazul adresării LBA pe 48 de biți.

Registru	Locația “înscrisă recent”	Locația “conținutului precedent”
Adresă LBA inferioară	Adresa LBA, biți 7..0	Adresa LBA, biți 31..24
Adresă LBA mijlocie	Adresa LBA, biți 15..8	Adresa LBA, biți 39..32
Adresă LBA superioară	Adresa LBA, biți 23..16	Adresa LBA, biți 47..40
Contor de sectoare	Contor de sectoare, biți 7..0	Contor de sectoare, biți 15..8

Calculatorul poate citi locația “conținutului precedent” din registrul pentru setarea caracteristicilor, registrul contor de sectoare și registrele pentru adresa LBA prin setarea la 1 a bitului 7 (HOB – *High Order Bit*) din registrul de control al dispozitivului și apoi citirea registrului corespunzător. Dacă bitul HOB este 0, la citirea unuia din registrele amintite se citește locația “înscrisă recent”. Scrierea se realizează întotdeauna în locația “înscrisă recent”, indiferent de starea bitului HOB din registrul de control al dispozitivului.

2.6.1. Registrul de comandă

În acest registru se înscrie codul comenzii care trebuie transmis controlerului unității de discuri. Execuția comenzii începe imediat după ce codul comenzii este înscris în registrul de comandă. Scrierea acestui registru șterge orice condiție de întrerupere.

Cu excepția comenzii *Device Reset*, registrul de comandă trebuie înscris numai dacă bitul BSY și bitul DRQ din registrul de stare sunt ambii egali cu 0.

2.6.2. Registrul de date

Acest registru este de 16 biți, fiind utilizat pentru citirea sau scrierea datelor în modul de transfer PIO.

2.6.3. Registrul de selecție al dispozitivului

Acest registru se utilizează pentru adresarea unității de discuri și a sectorului. Registrul trebuie înscris numai dacă bitul BSY și bitul DRQ din registrul de stare sunt ambii egali cu 0.

7 6 5 4 3 2 1 0
X LBA X DEV HS3 HS2 HS1 HS0

- Bitul 6 (LBA) selectează modul de adresare pentru sectoare. Dacă acest bit este 0, se selectează adresarea CHS, iar dacă este 1, se selectează adresarea LBA. Adresarea CHS este definită numai până la versiunea ATA/ATAPI-5 a standardului ATA.
- Bitul 4 (DEV – *Device Select*) selectează prin valoarea 0 unitatea 0, iar prin valoarea 1 unitatea 1.
- Dacă bitul LBA este 0 (este selectat modul de adresare CHS), biții HS3..HS0 conțin numărul capului din cadrul adresei CHS. Dacă bitul LBA este 1 (este selectat modul de adresare LBA) și se utilizează adresarea pe 28 de biți, HS3..HS0 conțin biții 27..24 ai adresei LBA. În cazul în care se utilizează adresarea pe 48 de biți, biții HS3..HS0 sunt nedefiniți.

2.6.4. Registrul de control al dispozitivului

Acest registru permite resetarea software a unităților de discuri și validarea sau invalidarea activării semnalului de întrerupere *INTRQ* de către unitatea selectată. Registrul are următoarea structură:

7	6	5	4	3	2	1	0
HOB	X	X	X	X	SRST	nIEN	0

- Bitul 7 (HOB – *High Order Byte*) este definit în cazul în care este implementată adresarea LBA pe 48 de biți. Dacă acest bit este setat la 1, citirea registrului pentru setarea caracteristicilor, a registrului contor de sectoare și a registrelor pentru adresa LBA se realizează din locația “conținutului precedent”, în modul descris mai sus. Dacă bitul HOB este setat la 0, citirea se realizează din locația “înscrisă recent”. Scrierea în oricare din registre, cu excepția registrului de control al dispozitivului, are ca efect resetarea bitului HOB la 0.
- Biții 6..3 sunt rezervați.
- Bitul 2 (SRST – *Software Reset*) este bitul de resetare software al unității de discuri. Dacă există două unități înlănțuite, prin setarea acestui bit la 1 se resetează ambele unități.
- Bitul 1 (nIEN – *INTRQ Enable*) validează prin valoarea 0 generarea întreruperilor către calculator de unitatea de discuri. Dacă bitul nIEN este 0 și unitatea de discuri este selectată, semnalul *INTRQ* trebuie validat printr-un buffer cu trei stări. Dacă bitul nIEN este 1 sau unitatea de discuri nu este selectată, semnalul *INTRQ* trebuie să fie în starea de înaltă impedanță.
- Bitul 0 trebuie să fie setat la 0.

2.6.5. Registrul de eroare

Acest registru conține starea ultimei comenzi executate de unitatea de discuri sau un cod de diagnosticare. La terminarea fiecărei comenzi, cu excepția comenzii *Execute Device Diagnostic* sau *Device Reset*, conținutul acestui registru este valid dacă bitul ERR din registrul de stare este 1. La terminarea execuției unei comenzi *Execute Device Diagnostic* sau *Device Reset*, sau după o resetare hardware sau software, acest registru conține un cod de diagnosticare.

Cu excepția bitului 2 (ABRT), conținutul celorlalți biți ai registrului de eroare variază în funcție de comanda care a fost executată. Structura de mai jos a acestui registru corespunde comenzii *Read DMA*, dar este tipică pentru mai multe comenzi de citire și de scriere.

7	6	5	4	3	2	1	0
ICRC	UNC	MC	IDNF	MCR	ABRT	NM	X

- Bitul 7 (ICRC – *Interface CRC*) indică prin valoarea 1 apariția unei erori CRC la nivelul interfeței ATA în timpul unui transfer într-unul din modurile Ultra-DMA. Acest bit nu este definit în cazul transferurilor în modurile DMA multicuvânt.
- Bitul 6 (UNC – *Uncorrectable Data Error*) indică prin valoarea 1 apariția unei erori care nu s-a putut corecta.
- Bitul 5 (MC – *Media Changed*) este rezervat pentru unitățile de discuri amovibile și indică prin valoarea 1 că există un nou suport în unitate. Prima comandă după schimbarea suportului este refuzată, fiind setat bitul MC din registrul de eroare și bitul ERR din registrul de stare.
- Bitul 4 (IDNF – *ID Not Found*) indică faptul că identificatorul sectorului cerut nu a fost găsit.
- Bitul 3 (MCR – *Media Change Requested*) este rezervat pentru unitățile de discuri amovibile și indică detectarea de către unitate a unei cereri de eliminare a suportului. În acest caz, este setat bitul ERR din registrul de stare pentru toate comenzile *Door Lock* ulterioare. Bitul MCR este resetat printr-o comandă *Door Unlock*, o comandă *Media Eject* sau printr-o resetare hardware.
- Bitul 2 (ABRT – *Aborted Command*) indică abandonarea comenzii cerute deoarece codul comenzii sau un parametru al acestuia este invalid, comanda nu este implementată sau a apărut o eroare de dispozitiv.
- Bitul 1 (NM – *No Media*) este rezervat pentru unitățile de discuri amovibile și indică prin valoarea 1 faptul că nu există suport în unitate.

2.6.6. Registrul pentru setarea caracteristicilor

Acest registru se poate utiliza pentru setarea diferitelor caracteristici ale interfeței, de exemplu, pentru validarea sau invalidarea memoriei *cache* prin comanda *Set Features*. Registrul trebuie înscris numai dacă biții BSY și DRQ din registrul de stare sunt ambii egali cu 0. Structura acestui registru este specifică diferitelor comenzi.

În cazul comenzilor care utilizează adresarea LBA pe 48 de biți, registrul pentru setarea caracteristicilor funcționează ca o memorie FIFO de doi octeți.

2.6.7. Registrul contor de sectoare

În general, acest registru este înscris cu numărul sectoarelor de date care trebuie transferate într-o operație de citire sau scriere între calculator și unitatea de discuri. Pentru unele comenzi, acest registru are un rol diferit de cel de contor. Registrul trebuie înscris numai dacă biții BSY și DRQ din registrul de stare sunt ambii egali cu 0. Conținutul acestui registru devine un parametru al comenzii atunci când codul comenzii este înscris în registrul de comandă.

Pentru comenzile de acces la suport, acest registru conține valoarea 0 la terminarea comenzii dacă nu au fost erori indicate în registrul de stare. În cazul unor erori, acest registru conține numărul de sectoare care trebuie transferate în scopul terminării operației.

În cazul comenzilor de citire sau scriere care utilizează adresarea LBA pe 28 de biți, dacă registrul contor de sectoare conține valoarea 00h, se specifică un număr de 256 de sectoare care trebuie transferate. În cazul comenzilor care utilizează adresarea LBA pe 48 de biți, acest registru funcționează ca o memorie FIFO de doi octeți. Pentru aceste comenzi, dacă registrul conține valoarea 0000h, se specifică un număr de 65.536 sectoare care trebuie transferate.

2.6.8. Registrele de adresă LBA

Aceste registre permit înscrierea adresei sectorului la comenzile de citire sau de scriere care utilizează adresarea LBA. Registrele trebuie înscrise numai dacă bitul BSY și bitul DRQ din registrul de stare sunt ambii egali cu 0. Conținutul acestor registre devin parametri ai comenzii atunci când codul comenzii este înscris în registrul de comandă.

Există trei registre pentru specificarea adreselor LBA: registrul pentru adresa LBA inferioară, registrul pentru adresa LBA mijlocie și registrul pentru adresa LBA superioară. Pentru comenzile care utilizează adresarea LBA pe 28 de biți, cele trei registre trebuie înscrise cu biții 7..0, biții 15..8, respectiv biții 23..16 ai adresei LBA. Biții 27..24 ai adresei LBA trebuie înscrși în pozițiile 3..0 ai registrului de selecție al dispozitivului.

În cazul comenzilor care utilizează adresarea LBA pe 48 de biți, registrele de adresă LBA funcționează ca memorii FIFO de câte doi octeți, în modul descris la începutul secțiunii 2.6.

2.6.9. Registrul de stare

Acest registru conține starea curentă a unității. Dacă bitul BSY este 0, ceilalți biți ai registrului conțin informații valide, iar în caz contrar ceilalți biți nu conțin informații valide. Dacă acest registru este citit de calculator în timpul unei întreruperi în curs, condiția de întrerupere este ștearsă.

7	6	5	4	3	2	1	0
BSY	DRDY	DF	DSC	DRQ	CORR	IDX	ERR

- Bitul 7 (BSY – *Busy*) este setat la 1 ori de câte ori unitatea de discuri are controlul asupra registrelor interfeței, cu excepția registrului de control al dispozitivului și al registrului alternativ de stare. Dacă bitul BSY este 1, unitatea va ignora o scriere în oricare din registrele asupra cărora are controlul. Unitatea va modifica starea bitului DRQ numai dacă bitul BSY este setat. Dacă bitul BSY este 0, unitatea va modifica numai biții DRDY, DF, DSC și CORR și IDX din registrul de stare și conținutul registrului de date.
- Bitul 6 (DRDY – *Device Ready*) este setat la 1 pentru a indica faptul că unitatea de discuri acceptă comenzi. Dacă starea acestui bit se modifică, unitatea nu trebuie să modifice din nou starea bitului până la citirea registrului de stare de către calculator. Dacă bitul DRDY este 0, unitatea va accepta și va încerca execuția comenzilor *Device Reset* și *Execute Device Diagnostic*. Celelalte comenzi nu vor fi acceptate, fiind setat bitul ABRT din registrul de eroare și bitul ERR din registrul de stare, înaintea resetării bitului BSY pentru a indica terminarea comenzii.
- Bitul 5 (DF – *Device Fault*) indică prin valoarea 1 detectarea unei erori de dispozitiv.

- Bitul 4 (DSC – *Device Seek Complete*) indică prin valoarea 1 poziționarea capetelor unității de discuri deasupra unei piste. La apariția unei erori, acest bit nu trebuie modificat de unitate până la citirea registrului de stare de către sistem, după care bitul DSC va indica starea curentă. Semnificația acestui bit poate fi diferită pentru unele comenzi.
- Bitul 3 (DRQ – *Data Request*) indică prin valoarea 1 faptul că unitatea de discuri este gata pentru transferul datelor între calculator și unitate. După ce calculatorul înscrie codul unei comenzi în registrul de comandă, unitatea setează la 1 bitul BSY sau bitul DRQ, până la terminarea comenzii sau până la eliberarea magistralei în cazul unei comenzi suprapuse.
- Bitul 2 (CORR – *Corrected Data*) este utilizat pentru a indica o eroare de date corectabilă. Definiția unei erori corectabile este specifică producătorului. Această condiție nu determină încheierea unui transfer de date. Acest bit nu mai este definit în versiunea curentă a standardului ATA.
- Bitul 1 (IDX – *Index*) este specific diferiților producători. Acest bit nu mai este definit în versiunea curentă a standardului ATA.
- Bitul 0 (ERR – *Error*) indică prin valoarea 1 apariția unei erori în timpul execuției comenzii precedente. Biții din registrul de eroare conțin informații suplimentare despre cauza erorii.

2.6.10. Registrul alternativ de stare

Acest registru conține aceleași informații ca și registrul de stare. Singura deosebire este că citirea registrului alternativ de stare nu implică achitarea unei întreruperi sau ștergerea condiției de întrerupere.

2.7. Execuția transferurilor de date

Specificațiile ATA definesc protocoalele utilizate pentru transferurile de date între calculator și unitatea de discuri și durata ciclurilor de citire și scriere. În această secțiune se prezintă protocolul pentru operația de citire în modul de transfer PIO și execuția unei comenzi în modul de transfer DMA. Protocolul pentru citire în modul de transfer PIO este următorul:

1. Calculatorul citește registrul de stare până când bitul BSY devine egal cu 0.
2. Calculatorul scrie în registrul de selecție al dispozitivului valoarea corespunzătoare pentru bitul DEV.
3. Calculatorul citește registrul de stare până când bitul BSY devine 0 și bitul DRDY devine 1.
4. Calculatorul scrie parametrii necesari ai comenzii în registrele corespunzătoare.
5. Calculatorul scrie codul comenzii în registrul de comandă.
6. Unitatea setează bitul BSY și se pregătește pentru execuția comenzii, pregătind pentru transfer primul bloc de date către calculator.
7. Atunci când blocul de date este disponibil, unitatea setează bitul DRQ. Dacă există o condiție de eroare, unitatea setează biții corespunzători de eroare și de stare. În final, unitatea resetează bitul BSY și activează semnalul *INTRQ*.
8. După ce detectează că bitul BSY este 0 prin citirea registrului alternativ de stare sau după ce primește o întrerupere, calculatorul citește și salvează conținutul registrului de stare.
9. Dacă bitul DRQ este setat, calculatorul transferă un bloc de date prin citirea registrului de date. Dacă există o condiție de eroare în starea citită la pasul 8, transferul de date poate fi invalid.
10. Ca răspuns la citirea registrului de stare, unitatea dezactivează semnalul *INTRQ*. Ca răspuns la citirea întregului bloc de date, se execută una din următoarele operații:

- Dacă nu a apărut nici o eroare și dacă este necesar transferul unui nou bloc, unitatea setează bitul BSY și secvența de sus este repetată de la pasul 7.
- Dacă a apărut o eroare, unitatea șterge bitul DRQ, execuția comenzii fiind terminată.
- Dacă s-a transferat ultimul bloc, unitatea șterge bitul DRQ, execuția comenzii fiind terminată.

Execuția unei comenzi DMA are loc în următoarele etape:

1. Calculatorul citește registrul de stare până când bitul BSY devine egal cu 0.
2. Calculatorul scrie în registrul de selecție al dispozitivului valoarea corespunzătoare pentru bitul DEV.
3. Calculatorul citește registrul de stare până când bitul BSY devine 0 și bitul DRDY devine 1.
4. Calculatorul scrie parametrii necesari ai comenzii în registrele corespunzătoare.
5. Calculatorul inițializează canalul DMA.
6. Calculatorul scrie codul comenzii în registrul de comandă.

7. Unitatea setează bitul BSY și se pregătește pentru execuția comenzii.

8. Atunci când unitatea este gata pentru transferul datelor, activează semnalul *DMARQ*.

Transferul DMA poate fi împărțit în mai multe transferuri parțiale de către unitate sau de canalul DMA. Pe durata transferului, unitatea menține setat bitul BSY sau DRQ. Dacă apare o eroare, unitatea setează biții corespunzători din registrul de stare și de eroare.

9. La terminarea transferului, unitatea șterge biții BSY și DRQ și activează semnalul *INTRQ*.

10. Calculatorul resetează canalul DMA.

2.8. Comenzi ATA

În Tabelul 8.16 se prezintă principalele comenzi ATA și registrele care trebuie încărcate cu parametrii comenzilor. Semnificația registrelor este următoarea:

SC – Registrul pentru setarea caracteristicilor;

CS – Registrul contor de sectoare;

LBA – Registrele de adresă LBA;

SD – Registrul de selecție al dispozitivului.

Prin x se indică un parametru valid pentru registrul respectiv. Pentru registrul SD, x indică utilizarea atât a bitului DEV pentru numărul unității, cât și a biților 27..24 ai adresei LBA, iar D indică faptul că este valid numai parametrul pentru numărul unității.

Tabelul 8.16. Comenzi ATA

Comandă	Cod	SC	CS	LBA	SD
Check Power Mode	E5h				D
Device Configuration Freeze Lock	B1h	C1h			D
Device Configuration Identify	B1h	C2h			D
Device Configuration Restore	B1h	C0h			D
Device Configuration Set	B1h	C3h			D
Device Reset	08h				D
Download Microcode	92h	x	x	x	x
Execute Device Diagnostic	90h				
Flush Cache	E7h				D
Flush Cache Ext	EAh				D
Get Media Status	DAh				D
Identify Device	ECh				D
Identify Packet Device	A1h				D
Idle	E3h	x			D
Idle Immediate	E1h				D
Media Eject	EDh				D
Media Lock	DEh				D
Media Unlock	DFh				D
NOP	00h	x			D
Packet	A0h	x	x	x	D
Read Buffer	E4h				D
Read DMA	C8h		x	x	x
Read DMA Ext	25h		x	x	D
Read DMA Queued	C7h	x	x	x	x
Read DMA Queued Ext	26h	x	x	x	D
Read Multiple	C4h		x	x	x
Read Multiple Ext	29h		x	x	D
Read Native Max Address	F8h				D
Read Native Max Address Ext	27h				D
Read Sector(s)	20h		x	x	x
Read Sector(s) Ext	24h		x	x	D
Read Verify Sector(s)	40h		x	x	x
Read Verify Sector(s) Ext	42h		x	x	D
Security Disable Password	F6h				D
Security Erase Prepare	F3h				D
Security Erase Unit	F4h				D
Security Freeze Lock	F5h				D
Security Set Password	F1h				D
Security Unlock	F2h				D

Comandă	Cod	SC	CS	LBA	SD
Seek	70h			x	x
Service	A2h				D
Set Features	EFh	x	x	x	D
Set Max Address	F9h			x	x
Set Max Address Ext	37h			x	D
Set Multiple Mode	C6h		x		D
Sleep	E6h				D
SMART Disable Operations	B0h	D9h		x	D
SMART Enable Operations	B0h	D8h		x	D
SMART Execute Off-Line	B0h	D4h		x	D
SMART Read Log	B0h	D5h	x	x	D
SMART Return Status	B0h	DAh		x	D
SMART Write Log	B0h	D6h	x	x	D
Standby	E2h		x		D
Standby Immediate	E0h				D
Write Buffer	E8h				D
Write DMA	CAh		x	x	x
Write DMA Ext	35h		x	x	D
Write DMA Queued	CCh	x	x	x	x
Write DMA Queued Ext	36h	x	x	x	D
Write Log Ext	3Fh		x	x	D
Write Multiple	C5h		x	x	x
Write Multiple Ext	39h		x	x	D
Write Sector(s)	30h		x	x	x
Write Sector(s) Ext	34h		x	x	D

3. Desfășurarea lucrării

3.1. Răspundeți la următoarele întrebări:

- Care sunt îmbunătățirile introduse de versiunea ATA/ATAPI-4 a standardului ATA ?
- Care este deosebirea dintre translatarea CHS extinsă și translatarea CHS revizuită ?
- Cum se realizează translatarea LBA ?
- Ce înseamnă transmisia serială diferențială și care sunt avantajele acestei transmisii ?
- Care sunt avantajele interfeței ATA seriale comparativ cu interfața ATA paralelă ?
- Cum s-a realizat extinderea adresării LBA la 48 de biți ?

3.2. Cu ajutorul comenzii *Identify Device*, citiți următoarele caracteristici ale unității de discuri:

- Numărul maxim de sectoare care pot fi transferate pe întrerupere la execuția comenzilor *Read Multiple* sau *Write Multiple* (cuvântul 47, biți 7..0) și setarea curentă pentru numărul de sectoare transferate pe întrerupere (cuvântul 59, biți 7..0);
- Posibilitatea utilizării modului DMA multicuvânt 2 (cuvântul 63, semnificația biților este descrisă în secțiunea 2.4.2);
- Posibilitatea utilizării modului PIO 4 (cuvântul 64, bitul 1);
- Durata minimă a ciclului (în ns) în modurile de transfer PIO cu utilizarea semnalului *IORDY* (cuvântul 68);
- Versiunea standardului ATA cu care este compatibilă unitatea de discuri (dacă unul din biții 4, 5 sau 6 ai cuvântului 80 este setat la 1, unitatea este conformă cu versiunea ATA/ATAPI-4);
- Posibilitatea adresării LBA pe 48 de biți (cuvântul 83, bitul 10);
- Posibilitatea utilizării modului Ultra-DMA 6 și modul Ultra-DMA care este selectat (cuvântul 88, semnificația biților este descrisă în secțiunea 2.4.2).